

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-130036

(43)Date of publication of application : 12.06.1987

(51)Int.Cl.

H04L 7/02

(21)Application number : 60-269468

(71)Applicant : NEC CORP

(22)Date of filing : 02.12.1985

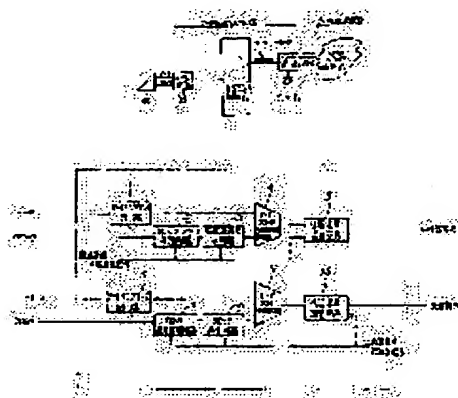
(72)Inventor : FUJIOKA MASAHIRO
TAKAHASHI HIDEO

(54) CLOCK TRANSMISSION TYPE SYNCHRONIZING DATA TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To attain highly reliable data transmission by transmitting a data synchronizing clock together with a synchronizing data so as to facilitate the data transmission with a system not in a subsequent relation and to avoid data transmission error due to a slip.

CONSTITUTION: A synchronizing data inputted from a data transmission system I to an interface circuit 20 is sampled at a data sampling circuit 1 by using a data synchronizing clock B of the system I. On the other hand, the clock b is subject to 1/2 frequency division and becomes a signal C. The signal C is sampled by a frequency f2 at a change point coding circuit 3 and when the signal C changes, a change point bit 1 is set. The output of the circuits 1, 3 is inputted to a data clock synthesis coding circuit 4, synchronizing data information sampled sequentially is inserted after the bit 1 and the result is sent as a transmission code E via a transmission speed adjusting circuit 5. The transmission code E is recovered by an interface device 30, where a recovery data I and a data synchronizing clock H are generated and sent to a terminal equipment 40.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-7950

(24) (44) 公告日 平成7年(1995)1月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/00 29/08		A 7741-5K		

発明の数1(全 5 頁)

(21) 出願番号	特願昭60-269468	(71) 出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22) 出願日	昭和60年(1985)12月2日	(72) 発明者	藤岡 雅人 東京都港区芝5丁目33番1号 日本電気株式会社内
(65) 公開番号	特開昭62-130036	(72) 発明者	▲高▼橋 英雄 東京都港区芝5丁目33番1号 日本電気株式会社内
(43) 公開日	昭和62年(1987)6月12日	(74) 代理人	弁理士 芦田 坦 (外2名)
		審査官	清水 康志

(54) 【発明の名称】 クロック透過型同期データ伝送方式

1

【特許請求の範囲】

【請求項1】独立同期のデータ伝送システムを中継して、データ通信を行う場合に用いられる同期データ伝送方式であって、データ同期用クロック周波数の1/2の周波数の同期成分を前記データ伝送システムの伝送速度の周波数でサンプリングし、その変化点情報を符号化する符号化手段と、該符号化されたデータ同期用クロックの変化点情報に前記データ同期用クロックでサンプリングした同期データを含め、符号化し、前記データ伝送システムの伝送速度に合わせて伝送する伝送手段と、伝送されたデータ同期用クロック情報と同期データ情報とを含む符号から、前記データ同期用クロック情報及び同期データ情報を分離する分離手段と、該分離されたデータ同期用クロック情報からデータ同期用クロックを再生する第1の再生手段と、該再生されたデータ同期用クロック

2

に同期させて前記同期データ情報から同期データを再生する第2の再生手段とを備えたことを特徴とするクロック透過型同期データ伝送方式。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は、従属同期関係にないデータ伝送システム間における同期式データの伝送方式に関する。

〔従来の技術〕

従来、クロック同期のとれない、つまりシステム間で従属同期関係のとれない独立同期の場合のクロック同期式データ通信では、受信データは、相手システムからの受信データ同期用クロックでデータのサンプリングを行い自システムのクロックでデータの伝送を行っている。即ち、送信データに関する送信データ同期用クロックは自システムのクロックで生成し、データの伝送を行ってい

3

る。このためそれぞれのシステムの原発振回路の周波数精度を高め、周波数相違によるスリップを少なくする必要がある。

〔発明が解決しようとする問題点〕

ところで上述した従来の伝送方式では、例えば一方のデータ伝送システム（システムクロック周波数 f_1 ）と他方のデータ伝送システム（システムクロック周波数 f_2 ）のシステムクロック周波数である f_1 と f_2 を完全に一致させることが難しく、スリップが生じることが多い。従ってこのスリップにより、伝送データが1ビット多くなったり、1ビット欠けたりし、正常なデータ通信を行うことができなくなるという問題点がある。

一方、スリップの頻度を少なくする場合、お互いのシステム・クロックの周波数精度を上げていく必要がある。ところが周波数精度を上げるとそれだけシステムクロックを発生する機構が高価なものになり、経済的に不利となるばかりでなく、コスト的にムリとなる。

〔問題点を解決するための手段〕

本発明のクロック透過型同期データ伝送方式は、クロック同期のとれない、即ち独立同期のデータ伝送システムを中継してデータ通信を行う場合に用いられ、データ同期用クロック周波数の1/2の周波数の同期成分を上記のデータ伝送システムの伝送速度の周波数でサンプリングしその変化点情報を符号化する符号化手段と、符号化されたデータ同期用クロックの変化点情報にデータ同期用クロックでサンプリングした同期データを含め符号化し、上記のデータ伝送システムの伝送速度に合わせて伝送する伝送手段と、このように伝送された符号からデータ同期用クロック情報と同期データ情報とを分離する分離手段と、この分離されたデータ同期用クロック情報からデータ同期クロックを再生する第1の再生手段と、上記の再生されたデータ同期用クロックに同期させて同期データを再生する第2の再生手段とを備えていることを特徴としている。

〔実施例〕

次に本発明について図面を参照して説明する。

まず、本発明の一実施例を概略的に示す第1図を参照して、データ伝送システムI及びデータ伝送システムIIはそれぞれシステムクロック周波数 f_1 及び f_2 で互いに独立して動作しており、どちらかに従属して同期をとることができない関係にある。図示のように、データ伝送システムIはインターフェース装置20を介してデータ伝送システムIIに接続されており、さらにデータ伝送システムIIはインターフェース装置30によって端末装置40に接続されている。

データ伝送システムIの同期データとデータ同期用クロックとがインターフェース装置20に入力され、この同期データとデータ同期用クロックとが後述のように合成されて（データ+クロック）、データ伝送システムIIを伝送され、インターフェース装置30でこの合成信号から同

4

期データとデータ同期用クロックが分離再生されて端末装置40に入力される。

ここで、第2図乃至第4図も参照してインターフェース装置について説明する。

図示のようにインターフェース装置はデータサンプリング回路1、クロック1/2分周回路2、変化点符号化回路3、データ・クロック合成符号化回路4、伝送速度調整回路5、データサンプリング回路6、クロック波形整形回路7、クロック再生回路8、データ・クロック分離回路9、及び伝送速度調整回路10を備えている。

データ伝送システムIからインターフェース回路20に入力された同期データ D はデータサンプリング回路1でデータ伝送システムIのデータ同期用クロック Cl でサンプリングされる。一方、データ同期用クロック Cl はクロック1/2分周回路2で1/2分周されて、1/2周期成分の信号 $Cl/2$ となる。この1/2周期成分の信号 $Cl/2$ は変化点符号化回路3でデータ伝送システムIIの伝送速度の周波数で（サンプリング点 T ）でサンプリングされ、1/2周期成分の信号 $Cl/2$ の値が“0”から“1”あるいは“1”から“0”へ変化する場合、即ち、“0”から“1”あるいは“1”から“0”への変化点があると、変化点情報であるビット“1”が立てられる。データサンプリング回路1の出力と変化点符号化回路3の出力とはデータ・クロック合成符号化回路4に入力され、データ同期用クロック Cl の変化点情報である“1”の後に順次サンプリングされた同期データ情報

($D_1, D_2, D_3 \dots$) が挿入され、符号化が完了されて、さらに、伝送速度調整回路5でデータ伝送システムIIの送信速度に調整され、伝送符号 S として伝送される。

この伝送符号 S は第1図に示すようにデータ伝送システムIIを伝送され、インターフェース装置30で再生される。第4図に示す受信符号 R は伝送速度調整回路10で端末装置40の伝送速度に調整され、データクロック分離回路9で1/2周期成分の変化点情報と再生データ情報とに分離される。クロック再生回路8において、1/2周期成分の変化点情報に基づいて再生クロックの1/2周期成分 $Cl/2$ が生成される。この1/2周期成分 $Cl/2$ はクロック波形整形回路7で周波数を2倍に、かつデューティ（Duty）が50%とされて、データ同期用クロック Cl に再生される。一方、データ・クロック分離回路9で分離された同期データ情報はデータ・サンプリング回路6でデータ同期用クロック Cl で同期が合わされて再生され、再生データIとなる。そして、これらデータ同期用クロック Cl 及び再生データIは端末装置40に送られる。

このように、データ伝送システムIからの同期データとそのデータ同期用クロックとを伝送し、最後のデータ受信システム（例えば端末装置）に対してこの同期データとデータ同期用クロックを供給するようにしているから、第5図に示すように、実質上データ伝送システムIIが存在せず、データ伝送システムIから直接同期データ及びデータ同期用クロックが最終のデータ受信システム

(例えば端末装置)に接続されているとみなすことができる。

なお、上述の実施例では互いに従属同期のとれない2つのデータ伝送システムI,IIを備える場合について説明したが、各データ伝送システム間に上記のインターフェース装置を配置すれば、3つ以上の従属同期のとれないデータ伝送システムを備える場合にも適用できることは言うまでもない。

〔発明の効果〕

以上説明したように本発明では、クロック同期データの伝送において、同期データと共にデータ同期用クロックを伝送することにより、従属関係のとれないシステム間におけるデータ伝送が容易に行え、システム・クロックの周波数相違によるスリップが原因となるデータ伝送誤りを無くすことができ、信頼性の高いデータ伝送を提

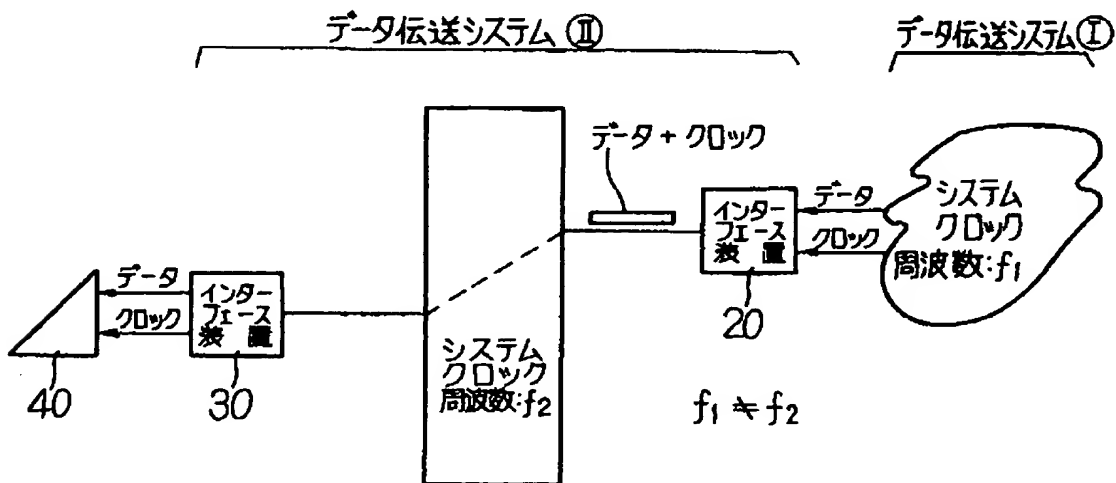
供することができる。

【図面の簡単な説明】

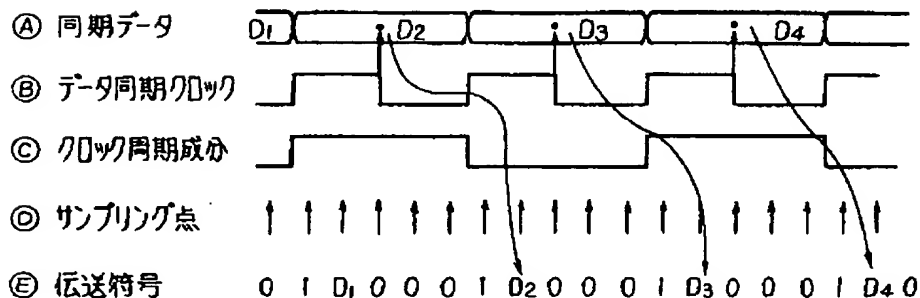
第1図は本発明の一実施例の概略を示すシステム構成図、第2図はインターフェース装置の機能を説明するためのブロック図、第3図は第2図に示すインターフェース装置による符号化を説明するためのタイミングチャート、第4図は第2図に示すインターフェース装置による復合化を説明するための図、第5図は第1図と実質上等価なシステム構成図である。

1……データサンプリング回路、2……クロック1/2分周回路、3……変化点符号化回路、4……データ・クロック合成符号化回路、5……伝送速度調整回路、6……データサンプリング回路、7……クロック波形整形回路、8……クロック再生回路、9……データ・クロック分離回路、10……伝送速度調整回路。

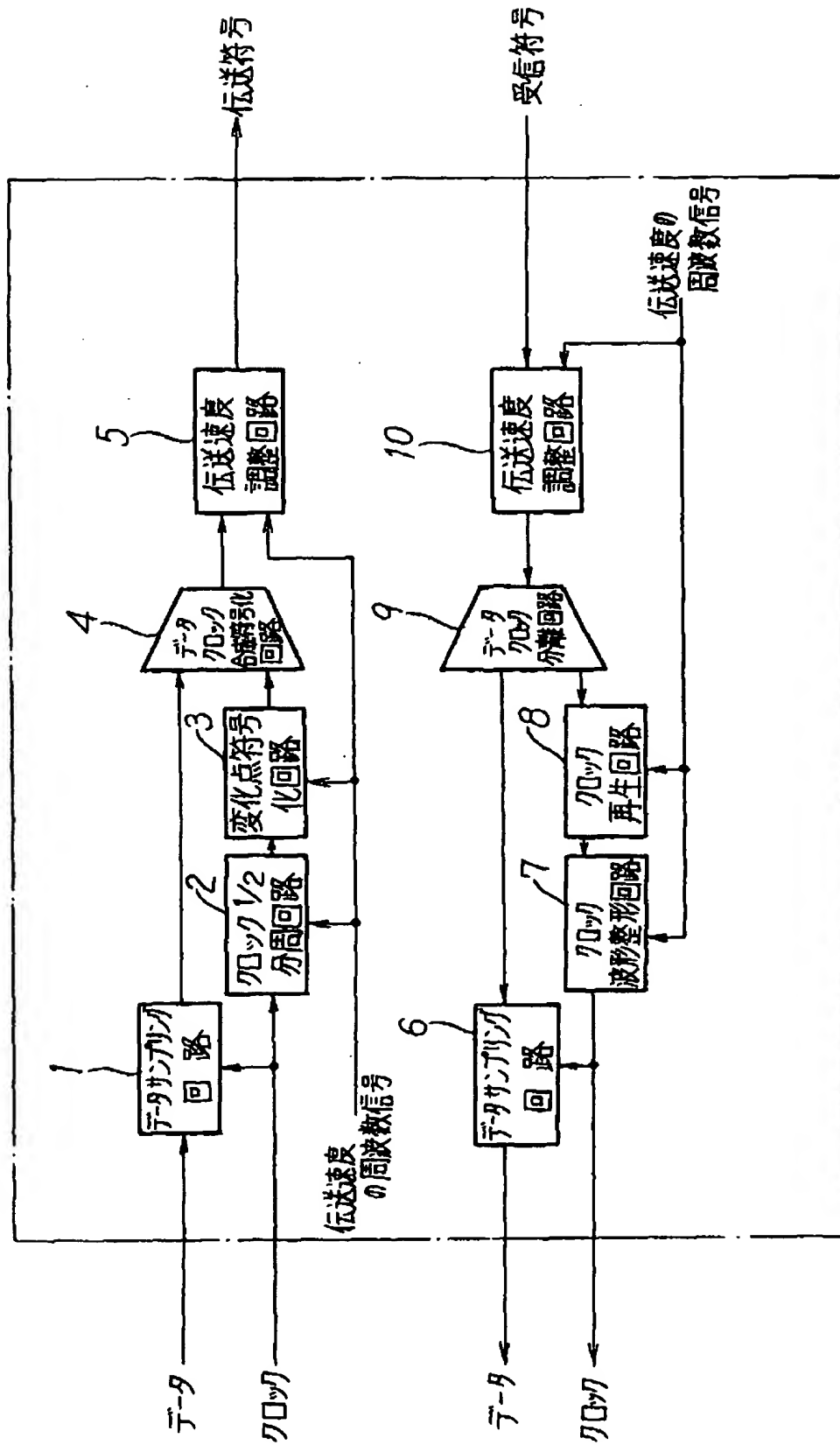
【第1図】



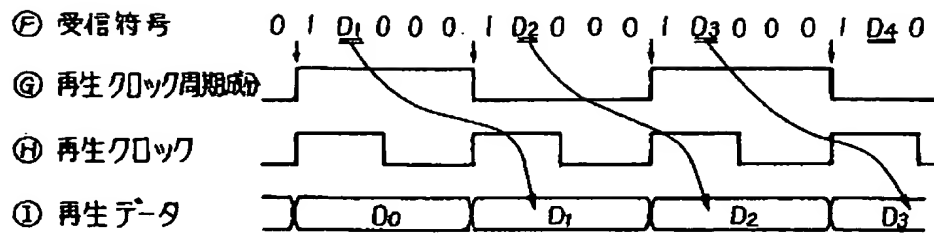
【第3図】



【第2図】



【第4図】



【第5図】

